

MENU

SEARCH

INDEX

JAPANESE

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-235435
 (43)Date of publication of application : 18.09.1990

(51)Int.CI. H03K 19/0185
 H03K 17/687
 H03K 19/0175

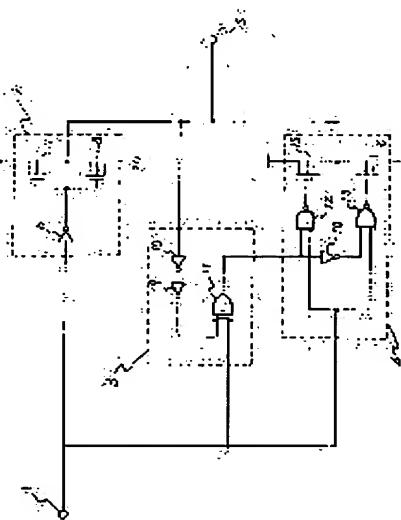
(21)Application number : 01-057101 (71)Applicant : NEC CORP
 (22)Date of filing : 08.03.1989 (72)Inventor : AOKI MASAYUKI

(54) OUTPUT CIRCUIT

(57)Abstract:

PURPOSE: To avoid much flowing of a current after a rising or falling waveform are changed steeply by adding a circuit detecting an output level and a ternary output buffer controlled with the detection circuit to an output buffer.

CONSTITUTION: An output buffer 2 outputs a high level or a low level in response to a signal inputted from an input 1. A level detection circuit 3 compares an input signal with an output signal and outputs a high level when they are discordant. Only when the output of the circuit 3 is at a high level, the ternary output buffer 4 outputs the same signal as that from the buffer 2 in response to the input signal. When the output of the circuit 3 is at a low level, the buffer 4 gives a high impedance output and the signal outputted from an output 5 is only a signal from the buffer 2. When the output level is lowered by the rise or fall of the signal and the increase in the load, the buffer 4 outputs a signal in response to the input to make the rise and fall steep, thereby preventing the reduction in the output level.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

⑪ 公開特許公報 (A) 平2-235435

⑫ Int. Cl.
H 03 K 19/0185
17/687
19/0175

識別記号 庁内整理番号

⑬ 公開 平成2年(1990)9月18日

8326-5J H 03 K 19/00 101 D
8326-5J 17/687 F
8124-5J A

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 出力回路

⑮ 特願平1-57101
⑯ 出願平1(1989)3月8日

⑰ 発明者 青木政之 東京都港区芝5丁目33番1号 日本電気株式会社内
⑱ 出願人 日本電気株式会社 東京都港区芝5丁目7番1号
⑲ 代理人 弁理士 内原晋

明細書

1. 発明の名称

出力回路

2. 特許請求の範囲

入力信号を出力する出力バッファと、前記出力バッファの出力レベルを検出するレベル検出回路と、前記レベル検出回路によって制御され、前記入力信号を出力する3値出力バッファを有する出力回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は出力回路に関し、特にMOS IC等の出力回路に関する。

〔従来の技術〕

従来のMOS ICの出力回路を第2図に示す。

第2図において、21は入力、22は出力バッファ、23は出力、24はインバータ、25はP

型MOSトランジスタ、26はN型MOSトランジスタである。

入力21から入力した信号は、出力バッファ22を通り、出力23から出力される。このとき出力電流は、P型MOSトランジスタ25とN型MOSトランジスタ26のサイズによって決定される。

〔発明が解決しようとする課題〕

上述した従来の出力回路は、出力段のトランジスタのサイズが固定されているので立上がりまたは立下がりの波形を急峻にしようとすると、出力段のトランジスタのサイズを大きくしなければならず、波形が変化した後でも大きな電流を流すことになる。またトランジスタのサイズを小さくすると流れる電流は小さくてすむが立上がりまたは立下がりの波形がなまってしまう。

さらに、トランジスタのサイズを小さくすると負荷が増加したとき、出力レベルが低下してしまう。

〔課題を解決するための手段〕

特開平2-235435(2)

本発明の出力回路は、入力信号を出力する出力バッファと、出力バッファの出力レベルを検出するレベル検出回路と、レベル検出回路によって制御され、入力信号を出力する3値出力バッファを有する。

かくして、本発明では、立上がりりまたは立下がりの波形が急峻でかつ変化した後ではあまり電流を流さず、また出力回路の負荷が増加し出力レベルが低下したとき、その低下を防ぐことができる。

【実施例】

次に、本発明について第1図を参照して説明する。

第1図において、1は入力、2は出力バッファ、3はレベル検出回路、4は3値出力バッファ、5は出力、6はインバータ、7はP型MOSトランジスタ、8はN型MOSトランジスタ、9、10はインバータ、11は排他的論理和、12はNAND、13はNOR、14はインバータ、15はP型MOSトランジスタ、16はN型MOSトランジスタである。

とにより、立上がりりまたは立下がり波形が急峻で変化した後ではあまり電流を流さないという効果がある。

また出力レベルの低下を防ぐという効果がある。

4. 図面の簡単な説明

第1図は、本発明の一実施例を示す回路図、第2図は、従来の出力回路の一例を示す回路図である。

1……入力、2……出力バッファ、3……レベル検出回路、4……3値出力バッファ、5……出力、6……インバータ、7……P型MOSトランジスタ、8……N型MOSトランジスタ、9、10……インバータ、11……排他的論理和、12……NAND、13……NOR、14……インバータ、15……P型MOSトランジスタ、16……N型MOSトランジスタ。

代理人弁理士内原晋

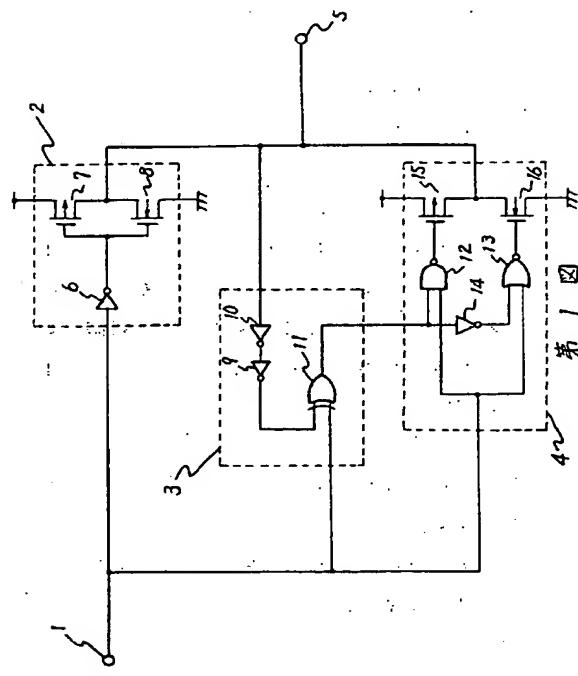
出力バッファ2は、入力1から入力した信号に応じてハイレベルまたはローレベルを出力する。

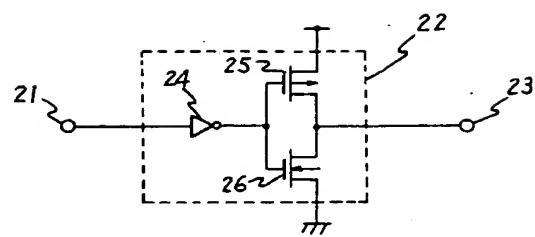
レベル検出回路3は、入力信号と出力信号を比較し、不一致の間ハイレベルを出力する。レベル検出回路3の出力がハイレベルのときだけ3値出力バッファ4は入力信号に応じ、出力バッファ2と同じ信号を出力する。レベル検出回路3の出力がローレベルのときは、3値出力バッファ4はハイインピーダンス出力となり、出力5から出力される信号は、出力バッファ2からの信号のみとなる。

よって、信号の立上がり、または立下がり及び負荷の増大により出力レベルが低下したとき、3値出力バッファ4が入力に応じた信号を出力し、立上がり、立下がりが急峻になるとともに、出力レベルの低下を防ぐ。

【発明の効果】

以上説明したように本発明は、従来の出力バッファに出力レベルを検出する回路とこの検出回路により制御される3値出力バッファを付加すること





第2図